

INTERFACE DE COMUNICAÇÃO PARA REDE LOCAL:
IMPLEMENTAÇÃO DE UM CIRCUITO INTEGRADO

AUTORES: ANDRADE, M.T.C.; BARRETTO, M.R.P.;
ESPOSITO, W.R.; VAN NOIJE, W.A.M.

Os autores são pesquisadores do Laboratório de Sistemas Digitais da Escola Politécnica da USP. O projeto foi financiado em parte pela FINEP e FDETE.

SUMARIO:

Este artigo descreve funcionalmente o projeto e a implementação de um circuito integrado para aplicação como uma interface de rede local. O C.I. suporta os métodos de acesso "token bus" e anel de inserção de atraso. Está sendo projetado com tecnologia CMOS 3um e permitirá obter taxas de transmissão de 10Mbit/s.

1. INTRODUÇÃO

A implementação de uma rede local normalmente requer um "hardware" analógico e digital com características fortemente dependentes do método de acesso empregado em sua concepção, bem como da topologia adotada (anel, barra, estrela, grafo). Os circuitos integrados específicos para uso em redes locais concebidos até o momento sempre fazem parte de um sistema que adota apenas um dos métodos de acesso existentes, não apresentando flexibilidade para aproveitamento em outros deles.

Procurou-se explorar a possibilidade de conceber uma infraestrutura do "hardware" para um processador de comunicação que

fosse compatível com dois métodos de acesso e sua posterior integração em uma única pastilha. O "chip" em questão tem a flexibilidade de trabalhar com os métodos inserção de atraso (transmissão serial e topologia em anel) e "token bus" (topologia em barra). O componente poderia também ter aplicação na máquina de arquitetura distribuída projetada pelo Laboratório de Sistemas Digitais em convênio com a Fundação para o Desenvolvimento Tecnológico da Engenharia para o controle de processos [1], que utiliza o método de acesso inserção de atraso. A aplicação deste "chip" nesse sistema reduziria as interfaces de anel de duas placas com cerca de 100 componentes discretos para uma placa com algumas dezenas de componentes.

Neste artigo, inicialmente apresentam-se os critérios gerais que nortearam o projeto. A seguir é apresentada uma descrição funcional da interface quanto aos serviços que ela fornece. A organização interna da interface e o detalhamento funcional do "chip" em projeto são então abordados.

2. CRITÉRIOS DE PROJETO

Seria conveniente salientar que a meta principal dos trabalhos desenvolvidos pelo grupo é a geração de recursos humanos e capacitação tecnológica para projeto de circuitos integrados e implementação de ferramentas de "software" para esta tarefa. Tal linha de atuação fornece subsídios para a integração de sistemas genéricos e, em particular, pareceu bastante interessante a opção de desenvolver um projeto na área de redes de computadores. Isso ajuda a caracterizar a integração de sistemas, ou partes de sistemas, como alternativa viável na

geração de produtos, trazendo como benefícios a compactação, redução de custos e aumento de confiabilidade.

A definição dos serviços a serem oferecidos pelo circuito de interface em projeto procurou levar em conta o compromisso entre a complexidade de implementação em hardware ou em software das funções exigidas pela norma. Ainda, não se tratando de um circuito integrado comercial, pode-se optar por algumas simplificações que, embora ainda dentro da norma, não seriam cabíveis em escala comercial. É o caso, por exemplo, da fixação dos campos de endereço em 2 octetos e não até 6, conforme consta da norma IEEE 802.4 [4]. Procurou-se também ter em mente o espírito deste trabalho, de buscar um treinamento em projeto de circuitos integrados, construindo um componente utilizável mas sem a preocupação de torná-lo comercial. O impacto maior deste enfoque se dá na complexidade do hardware implementado em silício.

A escolha dos métodos de acesso está justificada no item seguinte, juntamente com a descrição dos serviços oferecidos pelo componente.

3. DESCRIÇÃO FUNCIONAL DA INTERFACE

Topologias de redes em anel e barramento têm como características principais a expansibilidade, simplicidade de implementação de protocolos de encaminhamento de mensagens ("routing") e a possibilidade de transmissão de mensagens de "Broadcasting". Toda decisão de encaminhamento se restringe à capacidade de um nó da rede identificar a partir do endereço transportado numa mensagem se esta se destina a este. As

estruturas de barramento compõem-se basicamente de uma via única (fig.1b), onde cada nó é conectado e inexistem elementos ativos entre dois nós quaisquer. Estruturas em anel são na realidade constituídas por uma série de estações ligando ponto a ponto nós consecutivos (fig.1a). A interface entre dois enlaces pode variar de um simples repetidor a elementos de memória dependendo da rede em questão e a transmissão de mensagens é normalmente realizada num único sentido, apesar de haverem configurações com mais de um anel orientados em sentidos diferentes. Embora a existência de elementos ativos entre enlaces faça com que as redes em anel não sejam em primeira instância, tão confiáveis quanto às de barramento, certos tipos de rede em anel permitem uma taxa de ocupação do canal em grau bastante elevado assim como podem ser aplicadas técnicas de reconfiguração que permitem tornar a rede à prova de falhas.

3.1 REDE EM ANEL DE INSERÇÃO DE ATRASO

Apesar de existirem outros tipos de rede em anel, tais como anel de token ("token ring") e anel de Pierce ("slotted ring") [2], escolheu-se orientar o projeto do C.I. para suporte à topologia de rede em anel de inserção de atraso já que neste laboratório (LSD/EPUSP) já existe uma máquina distribuída, implementada e operante, que utiliza esta topologia [1]. A principal vantagem deste tipo de anel proposto por Liu [3] é que permite a transmissão simultânea de mensagens de tamanho variável, agrupando características desejáveis dos outros tipos de anel.

A estrutura de uma interface de acesso em anel de inserção de atraso é mostrado na fig.1a e fig.2.

O transmissor da interface insere no anel mensagens provenientes de duas fontes: da fila de transmissão que armazena as mensagens geradas localmente, e da fila de linha que armazena mensagens em trânsito destinadas a outros nós.

FUNÇÕES DA INTERFACE DO ANEL (IA)

A Interface é uma unidade que conecta fisicamente o nó local à linha do anel de comunicação.

As funções da Interface do Anel são:

- a. Receber mensagens que cheguem a ela através do anel;
- b. Reconhecer o endereço de destino da mensagem:
 - Se a mensagem for destinada ao nó do qual faz parte, a IA, deve verificar a integridade desta, realizando testes nos campos de consistência e gerenciar a transferência da mensagem à memória do nó;
 - Se a mensagem não for destinada ao nó, ela deve ser transmitida para a próxima IA, via anel, a menos que tenha sido ultrapassado o número máximo de IA's pelas quais foi-lhe permitido circular, como descrito no próximo item;
- c. Gerenciar a transferência de mensagens da memória do nó local por um canal de DMA, formatá-las e transmiti-las via anel.

FORMATO DA MENSAGEM NO ANEL

O quadro de dados (frame) da mensagem a ser transmitida (recebida) está ilustrado na fig.3a, onde:

- . Campo 0 - Delimitador inicial - separa duas mensagens em trânsito no anel e indica também estado ocioso ("standby") do canal.

- . Campo 1 - Contador - traz a informação do número de IA's pelas quais uma mensagem pode passar antes de ser eliminada. Pode ser programado de 0 a 255 (8 bits).
- . Campo 2 - Endereço de destino - indica o endereço para onde a mensagem está sendo enviada (16 bits).
- . Campo 3 - Dados - contém o texto da mensagem e pode ter até 124 bytes.
- . Campo 4 - Consistência - tem como objetivo detectar falhas na operação do anel por meio da geração de 4 bytes de CRC ("cyclic redundant check").
- . Campo 5 - Delimitador final - reproduz o conteúdo do campo 0.

3.2 REDE EM BARRAMENTO DE PASSAGEM DE "TOKEN"

A norma IEEE 802.4 [4] descreve o método de acesso para um barramento de passagem de "token" ("token passing bus access method"), incluindo a definição do nível físico.

De forma geral, este tipo de sistema de comunicação conta com uma via serial ("bus"), da qual são feitas derivações para os elementos que devem participar da comunicação. A fig.1b mostra este arranjo. Uma estação somente pode iniciar uma transmissão quando estiver de posse do "token". Ao terminá-la, passa-o adiante, para outra estação. Dessa forma, passa a existir um anel lógico de habilitação de transmissão. Esta se dá como "broadcast", isto é, todas as estações recebem todas as mensagens que circulam pelo meio de transmissão e se encarregam de reconhecer o endereço contido na mensagem. Ao reconhecer seu endereço, uma estação passa então a identificar o restante dos

campos da mensagem e efetuar as ações adequadas.

A norma define que os quadros tem o formato da fig.3b, onde :

- .campo 0 = preâmbulo
- .campo 1 = delimitador de início de quadro
- .campo 2 = identificador de tipo de quadro
- .campo 3 = endereço de destino do quadro
- .campo 4 = endereço da estação que envia o quadro
- .campo 5 = informação (pode ou não estar presente)
- .campo 6 = sequência para verificação do quadro (FCS)
- .campo 7 = delimitador de final de quadro

SERVIÇOS DA INTERFACE DE PASSAGEM DE "TOKEN"

A referência [4] oferece a definição completa do protocolo, embora as informações acima sejam suficientes para a compreensão dos serviços oferecidos pela interface em projeto.

Os serviços oferecidos pelo componente podem ser divididos em :

SERVIÇOS DE RECEPÇÃO

a. Reconhecimento de quadros:

equivale à procura dos campos 1 e 7

b. Reconhecimento de endereços:

qualquer ação das descritas abaixo somente é efetuada se a mensagem se destina à esta estação. Caso contrário, o componente aguarda o início de um novo quadro.

c. Reconhecimento de tipo de quadro:

o componente, ao reconhecer a recepção de um

"token", passa imediatamente ao procedimento de transmissão. Uma cópia da mensagem também é enviada ao processador, ou seja, colocada na fila de recepção. Para todos os outros tipos de quadro, existe o direcionamento da mensagem para a fila de recepção.

d. Validação do quadro:

o circuito realiza a acumulação da sequência de verificação (FCS) e ignora os quadros que estejam incorretos.

SERVIÇOS DE TRANSMISSÃO

a. Montagem dos quadros:

ao receber o "token", o componente passa a transmitir a mensagem que se encontra na fila de transmissão. A inserção dos delimitadores (campos 1 e 7) e da sequência de controle (campo 6) é feita automaticamente. Os demais campos devem ter sido montados pelo processador e por este colocados na fila de transmissão.

b. Sequência para validação:

o C.I. realiza a acumulação da sequência de verificação (FCS) e, como acima salientado, encarrega-se de enviá-la no momento adequado, de acordo com o formato do quadro.

c. Passagem do "token":

após a transmissão, o componente automaticamente passa o "token" para a próxima estação, cujo endereço se encontra em um de seus registradores internos.

Dessa forma, a operação de transmissão se dá de forma não exaustiva.

Os demais procedimentos definidos pelo protocolo foram imaginados como sendo implementados pelo software de acionamento do componente. É o caso, por exemplo, do procedimento de recuperação do "token", das temporizações, entre outros.

4. ORGANIZAÇÃO INTERNA DA INTERFACE

Inicialmente apresentar-se-á de forma sucinta o sistema global da interface de comunicação e, em seguida, o detalhamento dos blocos funcionais do chip a ser integrado.

4.1 SISTEMA GLOBAL DA INTERFACE

A fig.4 apresenta os blocos funcionais da interface de comunicação para rede local. A interface possibilita que um processador de comunicação possa receber e analisar quadros de dados e também montar e transmitir esses quadros. Conforme mostra a fig.4 o chip precisará de uma unidade de controle externa com memória de microprograma (EPROM) e filas externas que serão os registradores temporários de recepção, transmissão e das mensagens em curso na linha, como ilustrado na fig.2 (porém para o método de acesso "token bus" a fila de linha não existe).

O circuito adaptador com o meio de transmissão/recepção acopla fisicamente o nó da rede ao anel ou barramento (isto é, cabos coaxiais ou outro tipo de meio). Portanto, este transceptor deve normalmente decodificar sinais do tipo código Manchester (ou outros tipos) na recepção, e converter as mensagens digitais para códigos apropriados na transmissão. A mensagem externa

recebida/transmitida deve ser serial. Uma das funções do chip em projeto é serializar e deserializar as mensagens para a transmissão e recepção, respectivamente, pois a mensagem é armazenada na forma de palavras de 8 bits nas filas. Além disso, o chip verifica a sequência de dados da mensagem, isto é, calcula o CRC ("cyclic redundancy check"), que consiste de um registrador de deslocamento de 32 bits implementando a divisão por um polinômio padrão para este tipo de verificação[4].

A memória de microprograma contém duas rotinas independentes para controlar os dois processos de comunicação. No caso da topologia em anel, ambos os processos podem ocorrer paralelamente. Enquanto, no token, as rotinas de recepção ou transmissão são executadas consecutivamente.

4.2 DETALHAMENTO DOS BLOCOS FUNCIONAIS DO CHIP

Neste item apresenta-se os blocos funcionais do "chip", que integrará parte do controle e o fluxo de dados para os dois métodos de acesso discutidos anteriormente.

A fig.5 apresenta a arquitetura interna do "chip" em projeto.

Do lado do processador de comunicação tem-se uma via de dados (v.1) bidirecional ligada a dois registradores (1 e 2) de recepção e transmissão. Através dessa via o processador de comunicação recebe e envia dados através do chip. Para a montagem do quadro de dados e também para fornecer subsídios para que o chip analise um quadro que recebeu, há um banco de registradores de 8 bits (3) que guarda informações relativas aos campos de delimitador, endereço de destino, endereço da fonte, dados de controle, delimitador final e inicial e ainda tipo de

dado no caso token. Para análise do dado de recepção ainda há uma via paralela (v.3), um acumulador (4) e um comparador (5) com um sinal de igualdade que informa se o quadro de dados contém por exemplo o endereço de destino esperado. Um quadro montado no chip pelo conteúdo do banco de registradores (3) e pelos dados a serem enviados passa por uma via paralela (v.2) de onde vai para um bloco que serializa esses dados (6). Após a serialização os dados vão para um registrador de transmissão (10) que os coloca no mundo exterior. Em paralelo com esse processo os dados serializados também passam pelo calculador de CRC (7) que gerará o campo de consistência. Para que haja tempo de ser feita uma análise dos dados que estão chegando existem 4 registradores de 8 bits de recepção (9) e mais um circuito de detecção de tipo de dado (11) que guardam os dados enquanto a análise é feita. Uma vez que a mensagem é destinada a este processador o conteúdo dela é verificado pelo circuito CRC/recepção (7), e um "flag" é gerado. Por um problema de excesso de sinais de entrada e saída optou-se por decodificar alguns desses sinais através de um bloco decodificador (8) o que minimiza o número de pinos do chip.

5. IMPLEMENTAÇÃO FÍSICA DO CIRCUITO INTEGRADO

A execução física do layout do chip está sendo realizada com um editor de máscaras KIC2 (programa da Universidade de Berkeley, USA) adaptado para uma máquina compatível com o IBM-PC (XT). A tecnologia de fabricação será o CMOS. As regras de projeto adotadas são de um processo CMOS com geometrias mínimas de 3µm, conforme manual do Projeto Multi-usuário (PMU) [5]. A coordenação do PMU é feita pelo CTI, com financiamento da Elöbra.

Itaucom, Sid, CTI e Telebrás.

Devido à restrita área de silício alocada no PMU para cada instituição o número de transistores MOS foi limitado em aproximadamente 4000, e o chip ocupará uma área de 9mm² com encapsulamento de 40 pinos. A taxa de recepção/transmissão será de 10Mbit/s.

6. CONCLUSÃO

Durante o desenvolvimento do projeto algumas opções foram feitas quanto a definição das partes do sistema a serem integradas e também com respeito aos métodos de acesso (foram adotados o "token bus" e inserção de atraso). Havia uma restrição prática de número de transistores que iria constituir o "chip" devido a limitações quanto a pessoal envolvido e disponibilidade de ferramentas de "software" para projeto. Com base nesse fato, a arquitetura microprogramada que constitui o sistema em questão foi dividida realizando-se a integração de seu fluxo de dados. A unidade de controle e a memória de microprograma devem ser implementadas externamente.

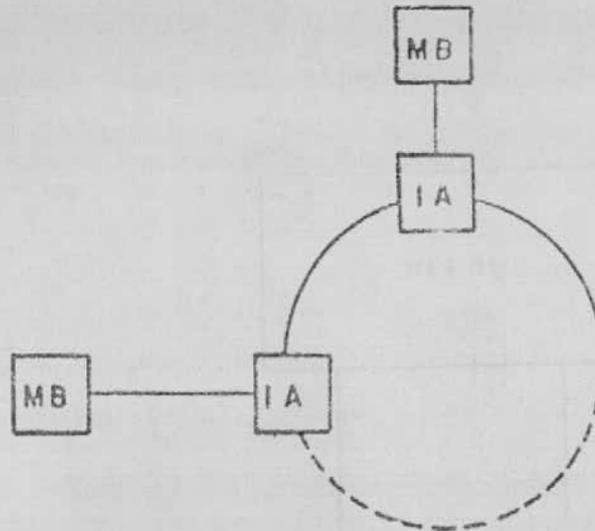
O "chip" em questão está sendo concebido utilizando-se processo CMOS de 3um pretendendo-se uma frequência máxima de operação em torno de 10 Mbit/s e encapsulamento em uma pastilha de 40 pinos. Atualmente estão sendo editadas as células que passaram por simulações elétricas e que constituem seus blocos funcionais. Em paralelo estão sendo realizadas simulações lógicas de macrocélulas do circuito para verificação de seu comportamento lógico.

Estima-se que a fita magnética com todos os dados

necessários para a fabricação do "chip" esteja pronta entre março e abril de 87. Os protótipos deverão voltar da fabricação em julho deste ano [5].

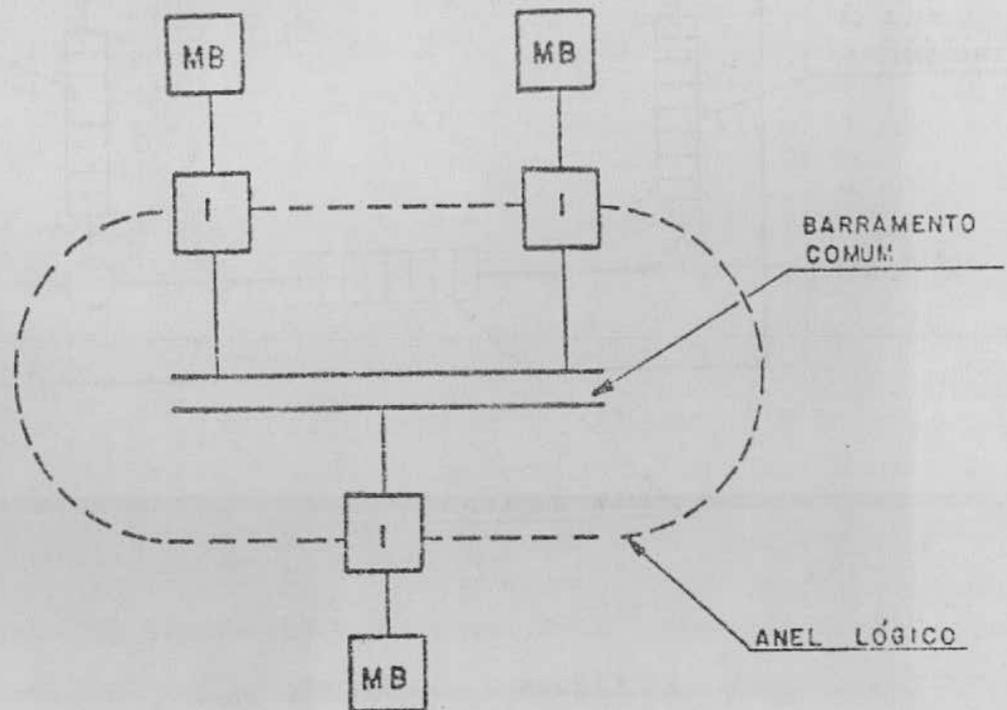
7. REFERÊNCIAS

- [1] Moacir Martucci Jr. et al: "Centralized Supervisory System for Suburban Railroads"; Fifteenth International Symposium on Mini&Microcomputer, 1981.
- [2] Tanenbaum, A.S.: "Computer Networks", Prentice Hall, 1979.
- [3] Liu, M.T.: "Distributed Loop Computer Networks"; Advances in Computers, vol.17, 1978, pág. 163-221.
- [4] "IEEE Standard 802.4 Token-Passing Bus Access Method and Physical Layer Specifications"; Draft D, December 1982, IEEE P802.4/82/40.
- [5] "Manual do Projeto Multiusuário"; Centro Tecnológico para Informática, Março de 1986.



MB: MÓDULO BÁSICO
IA: INTERFACE EM ANEL

(a)



I: INTERFACE

(b)

Figura 1 - Interface de comunicação para rede local:
(a) inserção de atraso; (b) Tipo Token-bus.

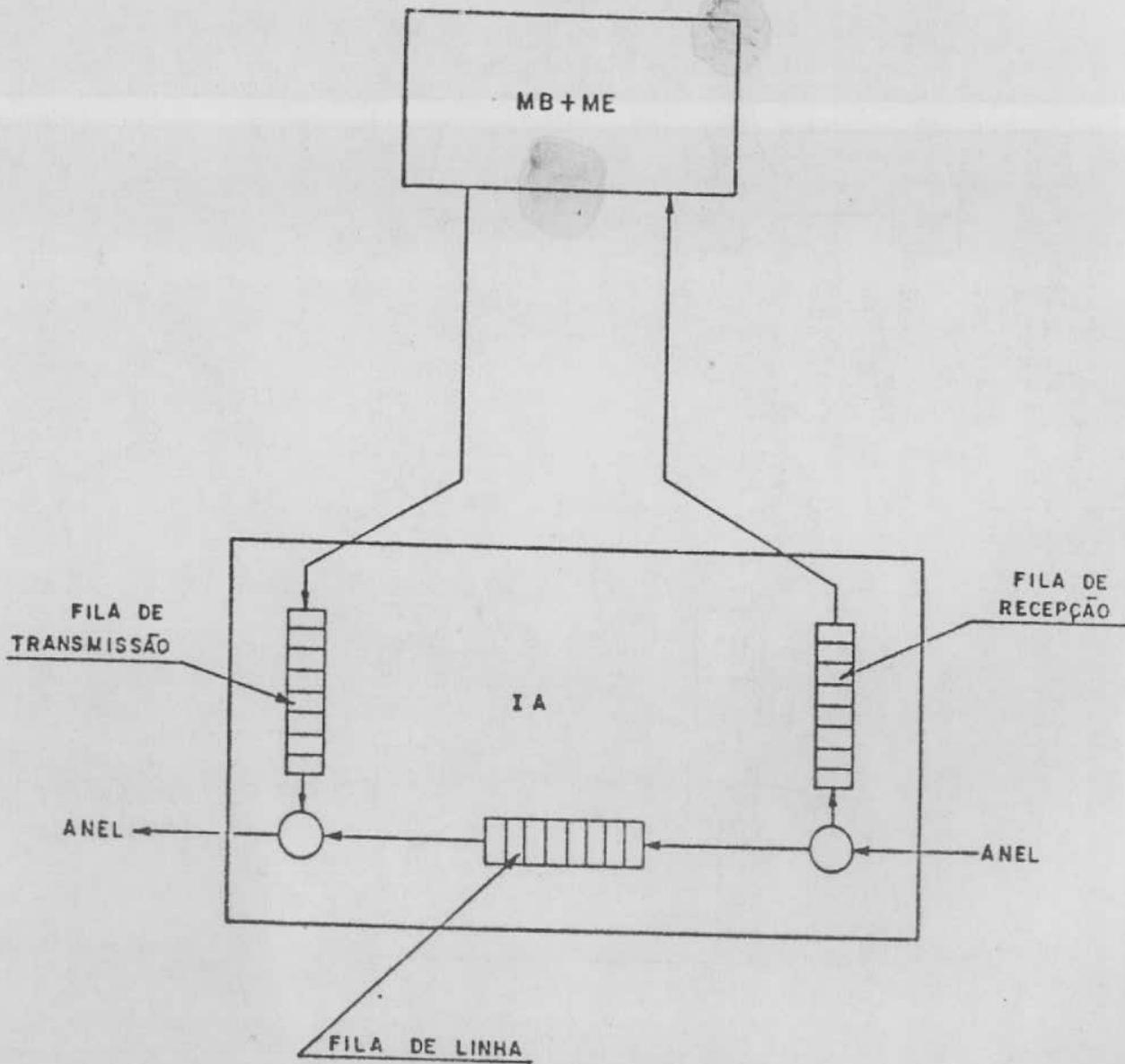
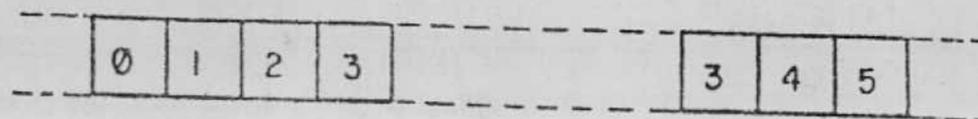
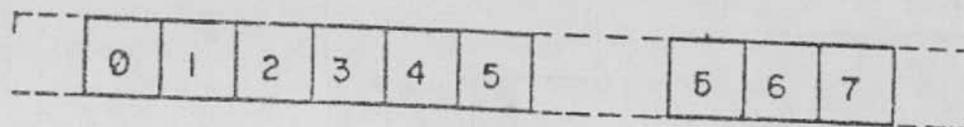


Figura 2 - MODELO DA IA



(a)



(b)

Figura 3 - Especificação dos campos do quadro de dados:
 (a) Inserção de atraso; (b) Token bus.

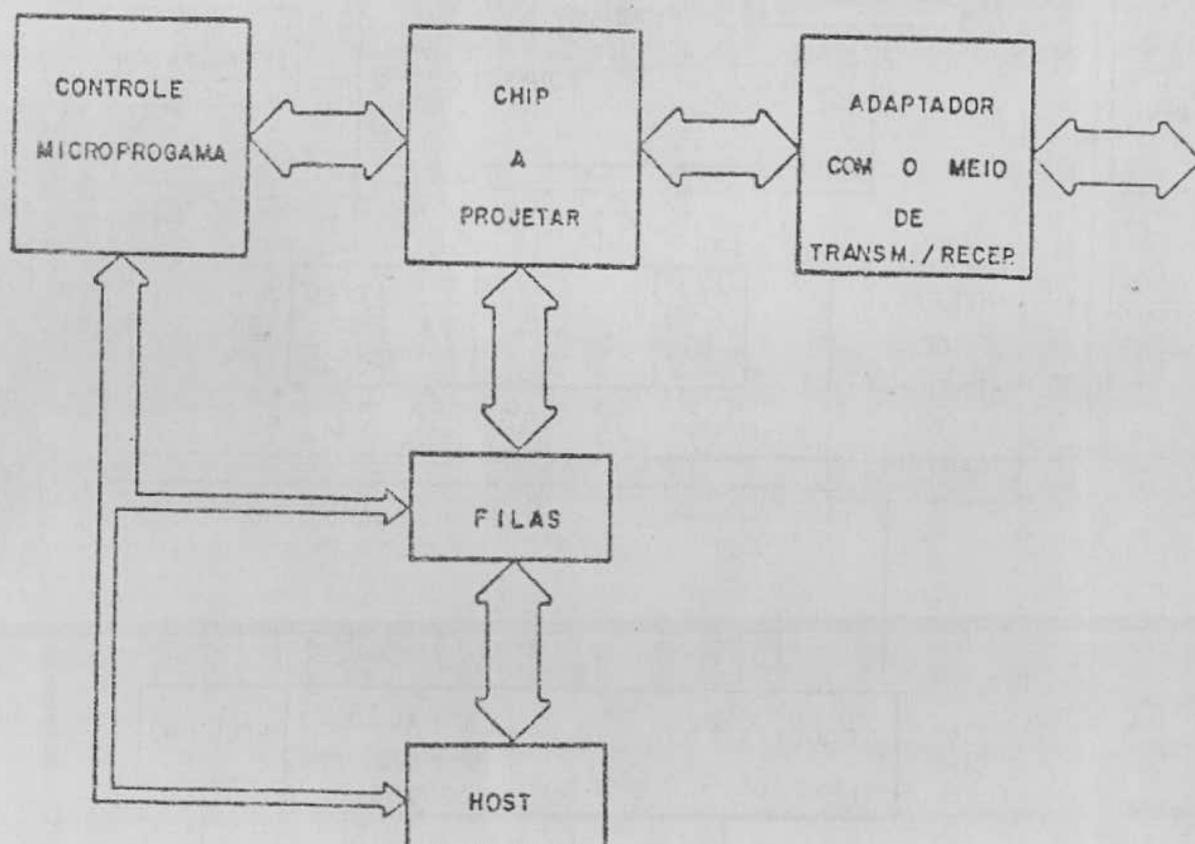


Figura 4 - Representação em blocos funcionais da interface de comunicação para rede local.

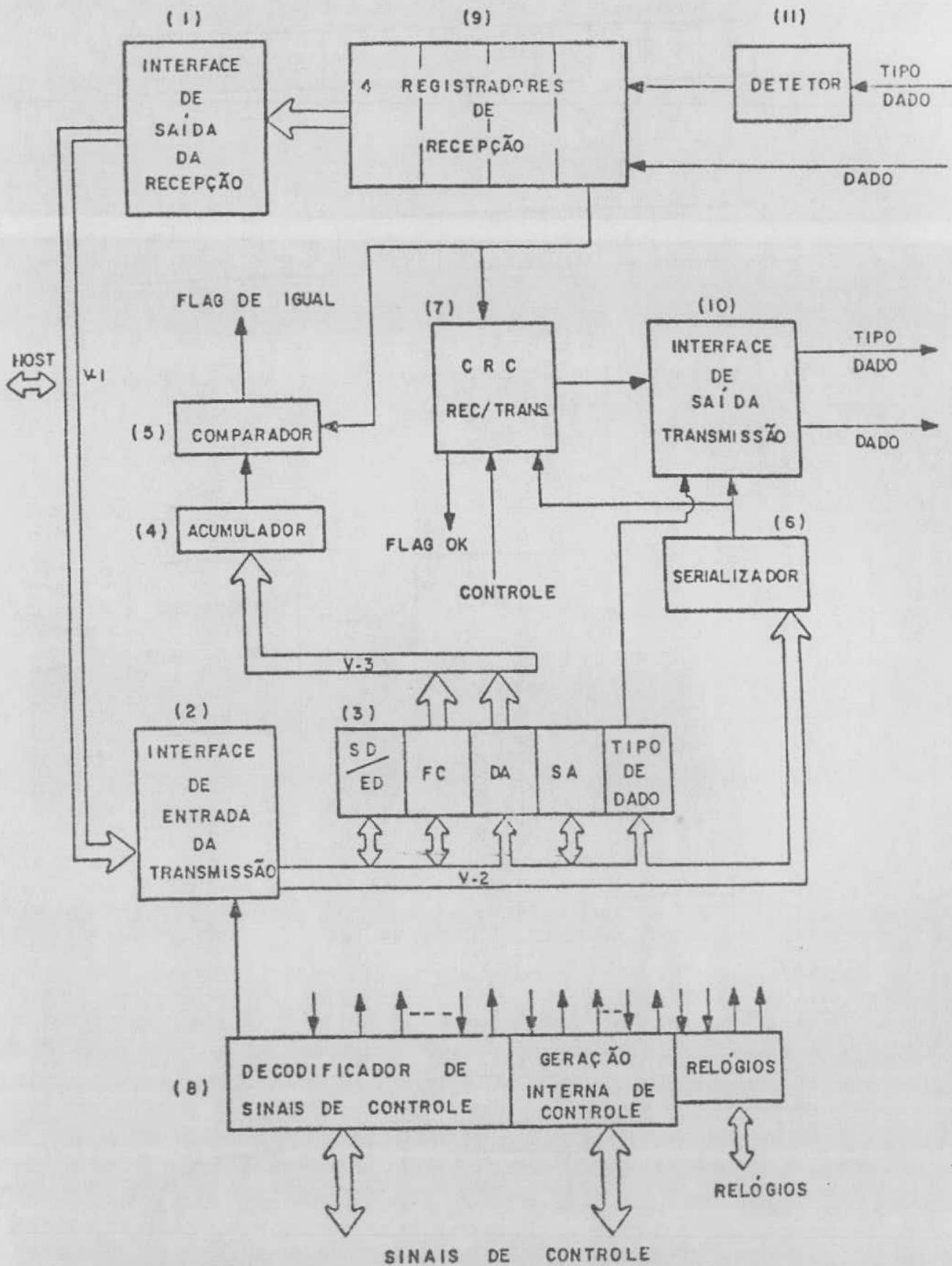


Figura 5 - Detalhamento em blocos funcionais do chip em projeto.