

PROJETO E IMPLEMENTAÇÃO DE UM EQUIPAMENTO
PAD ("PACKET ASSEMBLER/DISASSEMBLER")

Edit G. L. de Campos
Armando S. Barbosa Jr.
Escola Politécnica - Universidade de São Paulo

RESUMO

O objetivo deste artigo é apresentar o projeto de um montador/desmontador de pacotes (PAD) implementado no Laboratório de Sistemas Digitais da Escola Politécnica da USP. Trata-se de um concentrador inteligente de terminais a ele ligados via linhas privadas ou rede telefônica. Sua função básica é a de prover a comunicação entre esses terminais e uma rede pública de computadores.

I. INTRODUÇÃO

Durante os últimos anos, a equipe do Laboratório de Sistemas Digitais (LSD) da Escola Politécnica da USP esteve intensamente engajada no desenvolvimento de equipamentos de comunicação de dados, mais especificamente no projeto e implementação de sistemas voltados à comutação de pacotes, com o objetivo de criar um "know-how" e formar pessoal na área de redes de computadores.

No contexto de redes geograficamente distribuídas (públicas) foram desenvolvidos uma Central (nô) de comutação de pacotes [BARB 82] [RUGG 80] e um concentrador/conversor de

protocolos (PAD - "Packet Assembler/Disassembler") sob o patrocínio da Embratel-Telebrás. Vários outros trabalhos correlatos foram realizados, entre os quais destacam-se estudo, projeto e implementação de protocolos de alto nível (transporte) [STIU 81], sub-sistemas de testes de protocolos e sistema gerador automático de implementações de protocolos [MONT 82].

Este artigo apresenta a descrição da arquitetura de um dos equipamentos acima citados, o PAD, cujo desenvolvimento e implementação foram realizados, em um ano, pela equipe do LSD. A máquina foi construída de forma a atender as especificações da recomendação X.3 [CCIT 83] da CCITT, que determina as funções básicas de um PAD, a saber:

- . Recebimento de caracteres de terminais assíncronos e montagem destes dados em pacotes destinados a um computador remoto.

- . Desmontagem de pacotes de dados recebidos do computador remoto em caracteres a serem enviados aos terminais.

- . Estabelecimento e finalização de chamadas virtuais, assim como a execução dos procedimentos de interrupção e "reset".

- . Geração de sinais de serviço para o terminal.

- . Transmissão de pacotes, montados a partir de caracteres, de acordo com um mecanismo de temporização.

- . Reconhecimento e interpretação de sinais de controle provenientes dos terminais.

Tendo em vista o atendimento dos serviços acima descritos, montou-se uma infraestrutura de hardware e software, cujas características básicas serão descritas nos itens se-

guintes.

II. ESPECIFICAÇÃO DO PAD

A especificação do PAD foi feita com vistas a torná-lo um equipamento totalmente compatível com as recomendações do CCITT. Desta forma, fizeram parte da especificação de funções a serem implementadas no PAD todas aquelas apresentadas na recomendação X.3. A interface entre o equipamento e o terminal do usuário foi definido como sendo o descrito na recomendação X.28 [CCITX28], e o protocolo entre o PAD e o computador destino foi o X.29 [CCITX29]. O protocolo de acesso à rede de comutação de pacotes foi especificado como sendo o X.25 [CCITX25]. A figura 1 esquematiza a atuação destes protocolos na rede.

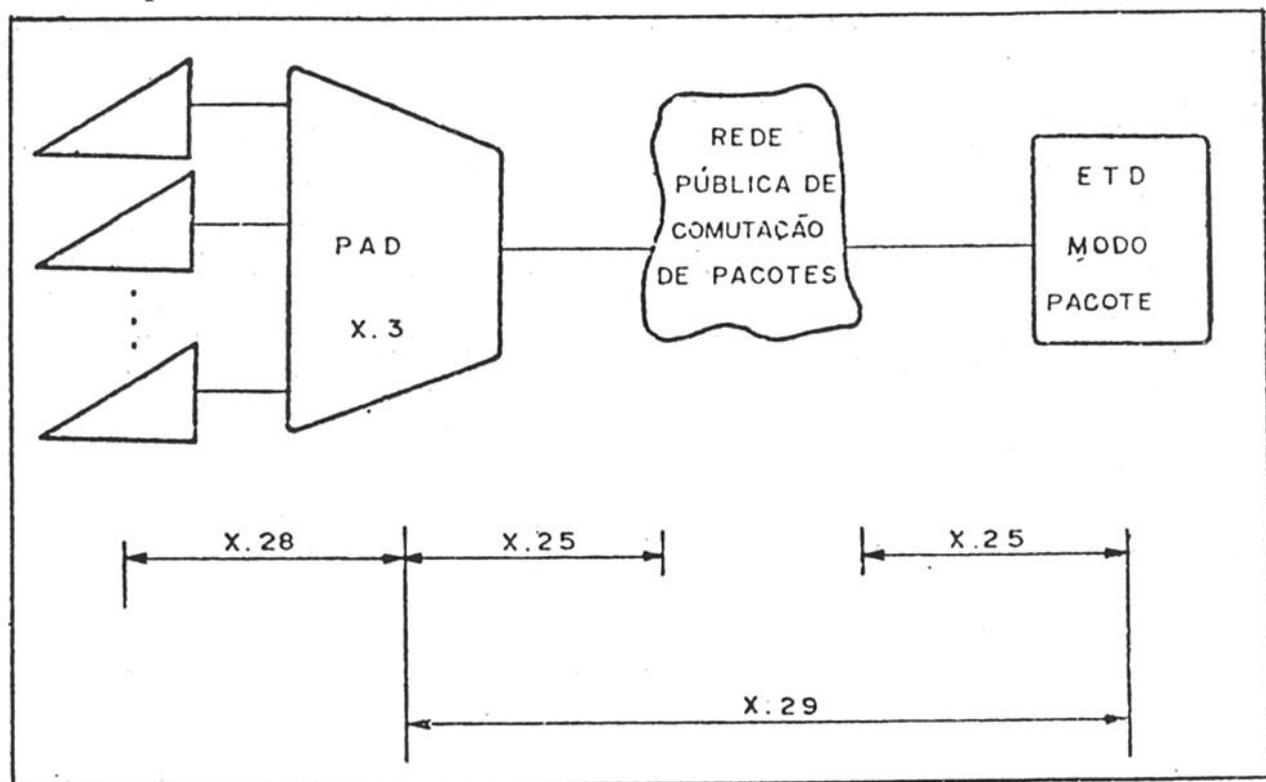


Fig. 1 - Protocolos na Comunicação com o PAD

Por outro lado, como o PAD é um equipamento destinado a processar tráfego proveniente de terminais assíncronos, e como o número de terminais que demandam este tipo de ligação pode variar drasticamente de uma localidade para outra,

ponderou-se que seria altamente desejável que o equipamento apresentasse facilidades de configuração quanto ao número máximo de terminais que pudesse aceitar. Como decorrência deste raciocínio, tornou-se um forte vínculo de projeto o desenvolvimento de uma máquina que apresentasse boas características de modularidade e expansibilidade. Definiu-se como sendo 120 o número máximo de terminais a serem aceitos pelo PAD, na sua configuração máxima, e como sendo 8 o número de interfaces com terminais a serem contidas em cada módulo.

Outro aspecto levado em consideração na fase de especificação foi o de elevar ao máximo possível a disponibilidade do equipamento, sem, no entanto aumentar demasiadamente a sua complexidade ou custo. Optou-se pelo desenvolvimento de uma máquina que permitisse redundância nos seus pontos vitais, reduzindo a probabilidade de falha total no equipamento. Esta configuração redundante está apresentada no item seguinte.

III. ARQUITETURA FÍSICA DO PAD

III.1 - ESTRUTURA DO PAD

Para construção do sistema físico destinado a suportar a implementação do PAD foi escolhida a família de componentes 8088/8089 da Intel, em virtude das suas boas características de desempenho e das facilidades disponíveis para construção de sistemas com múltiplos processadores. Foram definidos 2 tipos de módulos processadores, que funcionando cooperativamente possibilitam implementar as funções do PAD. (figura 2):

- . Módulo Processador de Linhas - MPL
- . Módulo Processador de Acesso à Rede - MPAR

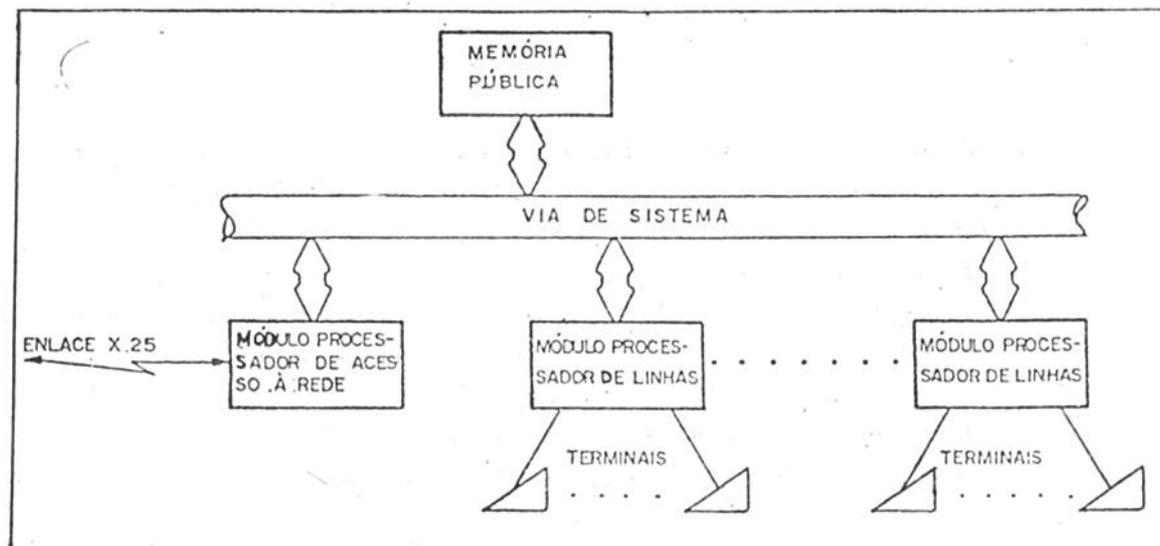


Fig. 2 - Módulos Processadores Componentes do PAD

III.2 - ESTRUTURA DOS MÓDULOS PROCESSADORES

O Módulo Processador de Linhas é aquele destinado a suportar a interface do PAD com os terminais assíncronos, oferecendo as facilidades especificadas na recomendação X.3. Neste módulo também residem os programas de implementação do protocolo X.28, de comunicação com o usuário. Cada MPL aceita conexões de até 8 terminais, cujas velocidades são detectadas automaticamente no início de cada sessão. O número de MPL's presentes no PAD pode ser configurado conforme necessidade. Pode-se ter acesso ao PAD também através da rede telefônica pública. Quando houver necessidade deste tipo de acesso, uma placa adicional deve ser acrescentada ao Módulo Processador de Linhas: a Interface com Linhas Discadas - ILD. A figura 3 apresenta as placas que compõem o MPL.

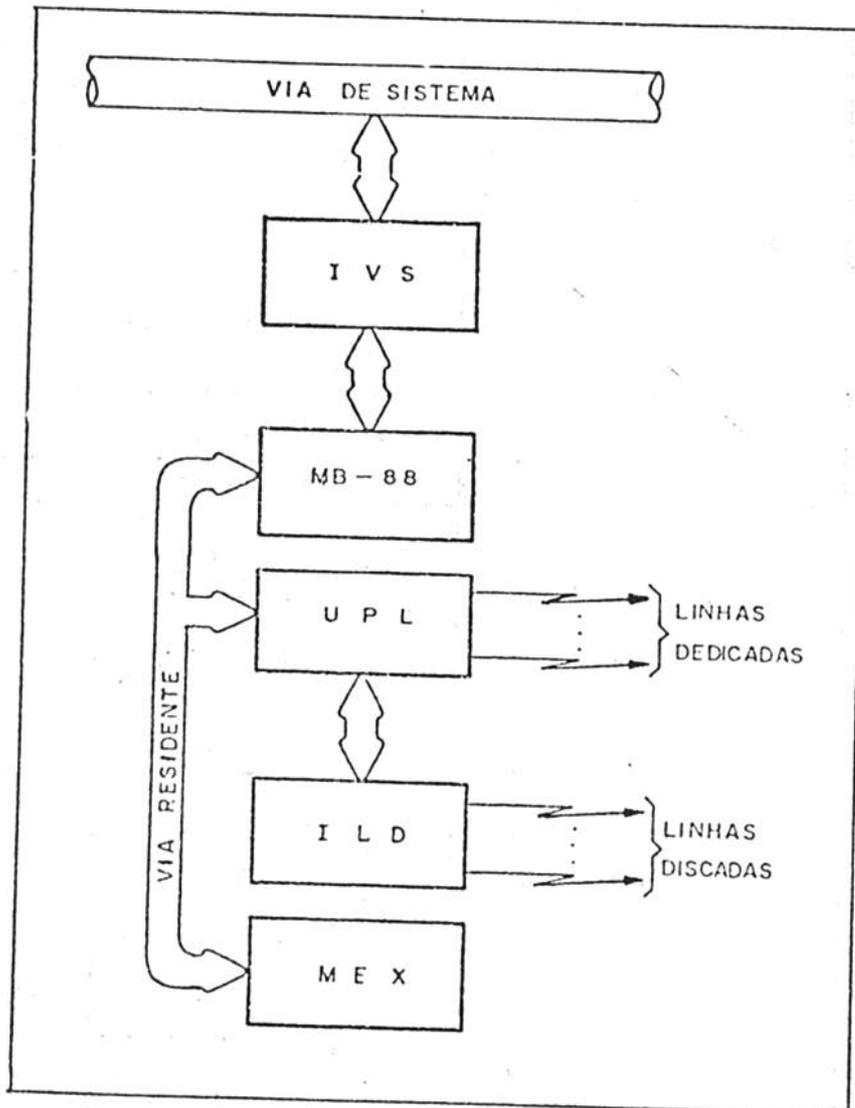


Fig. 3 - Placas do Módulo Processador de Linhas

O elemento principal constituinte dos MPL's, assim como do MPAR, é o Módulo Básico-88 (MB-88), que é uma placa que contém os processadores (8088 e 8089), controladores de interrupção, controladores de DMA, gerador e testador de paridade e demais circuitos para a geração dos sinais necessários à operação das demais placas que se acoplam a este módulo.

As demais placas componentes do MPL são: a Interface com a Via de Sistema (IVS), que contém as lógicas de con-

trole de acesso à via comum, ou via de sistema, a Unidade Processadora de Linhas (UPL), que possui as interfaces seriais para conexão aos terminais dos usuários e os geradores de "baud-rates" programáveis, a Interface com Linhas Discadas (ILD), que faz o tratamento da sinalização da rede pública discada, e a Memória de Expansão (MEX), que é uma placa de até 128 kbytes de memória RAM dinâmica para acomodar os programas de aplicação (protocolo X.28 e funções do X.3) e o software básico.

A configuração, em placas, do Módulo Processador de Acesso à Rede está esquematizada na figura 4.

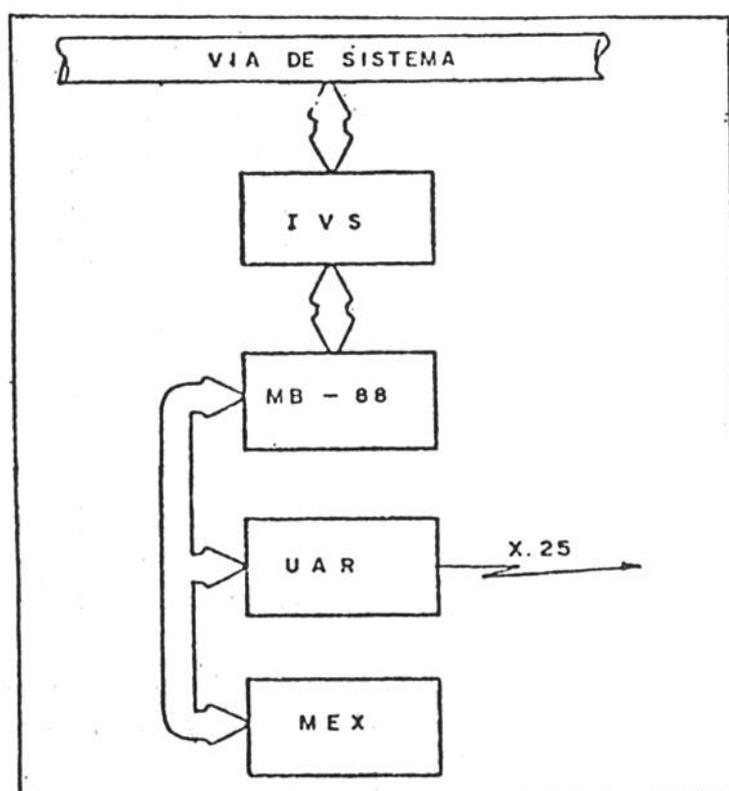


Fig. 4 - Placas do Módulo Processador de Acesso à Rede

Neste módulo o MB-88 e a IVS têm as mesmas funções descritas para o MPL. A placa Unidade de Acesso à Rede-UAR, por sua vez, possui o controlador de protocolo para implementação do enlace X.25 para comunicação com a rede de comutação de pacotes. A placa Memória de Expansão aloja os programas, neste módulo, dos protocolos X.25 e X.28 e o software básico.

A Memória de Sistema é constituída por uma placa Memória de Expansão - MEX de 128 kbytes. É destinada a suportar a troca de mensagens e dados entre os módulos MPL e MPAR, conforme será descrito no item seguinte.

III.3 - CONFIGURAÇÃO REDUNDANTE

Como se pode constatar na estrutura apresentada, este sistema físico apresenta alguns elementos centralizados vitais, cuja falha traz como consequência a perda total do sistema. Estes elementos são: a Memória Pública, o Módulo Processador de Acesso à Rede, a Via de Sistema e o enlace X.25. Desta forma, com o objetivo de aumentar a disponibilidade do sistema, todo o "hardware" foi projetado de forma a aceitar uma configuração redundante, permitindo que todos os elementos citados acima sejam duplicados. A figura 5 mostra um esquema do PAD em configuração redundante.

III.4 - O MECANISMO DE INTERRUPÇÕES ENTRE PROCESSADORES

Para que o mecanismo de comunicação entre módulos processadores opere de uma forma eficiente, foi elaborada uma infraestrutura de "hardware" capaz de dar suporte a estas comunicações, e de minimizar o "overhead" delas decorrente. Com este objetivo foi incorporado a cada módulo processador uma memória FIFO - "first-in-first-out", mapeada como dispositivo de E/S de sistema, sendo, portanto, acessível a todos os módulos processadores, mas somente para escrita. A leitura destas memórias FIFO pode ser feita somente pelo módulo processador ao qual ela pertence, e dela são recolhidos dados referentes à interrupções pedidas pelos demais módulos processadores. A leitura destas FIFO's é feita através da via residente do módulo processador, à qual está conectada como qualquer dispositivo de E/S, no que diz respeito à leitura. A figura 6 ilustra estas memórias FIFO e as suas conec-

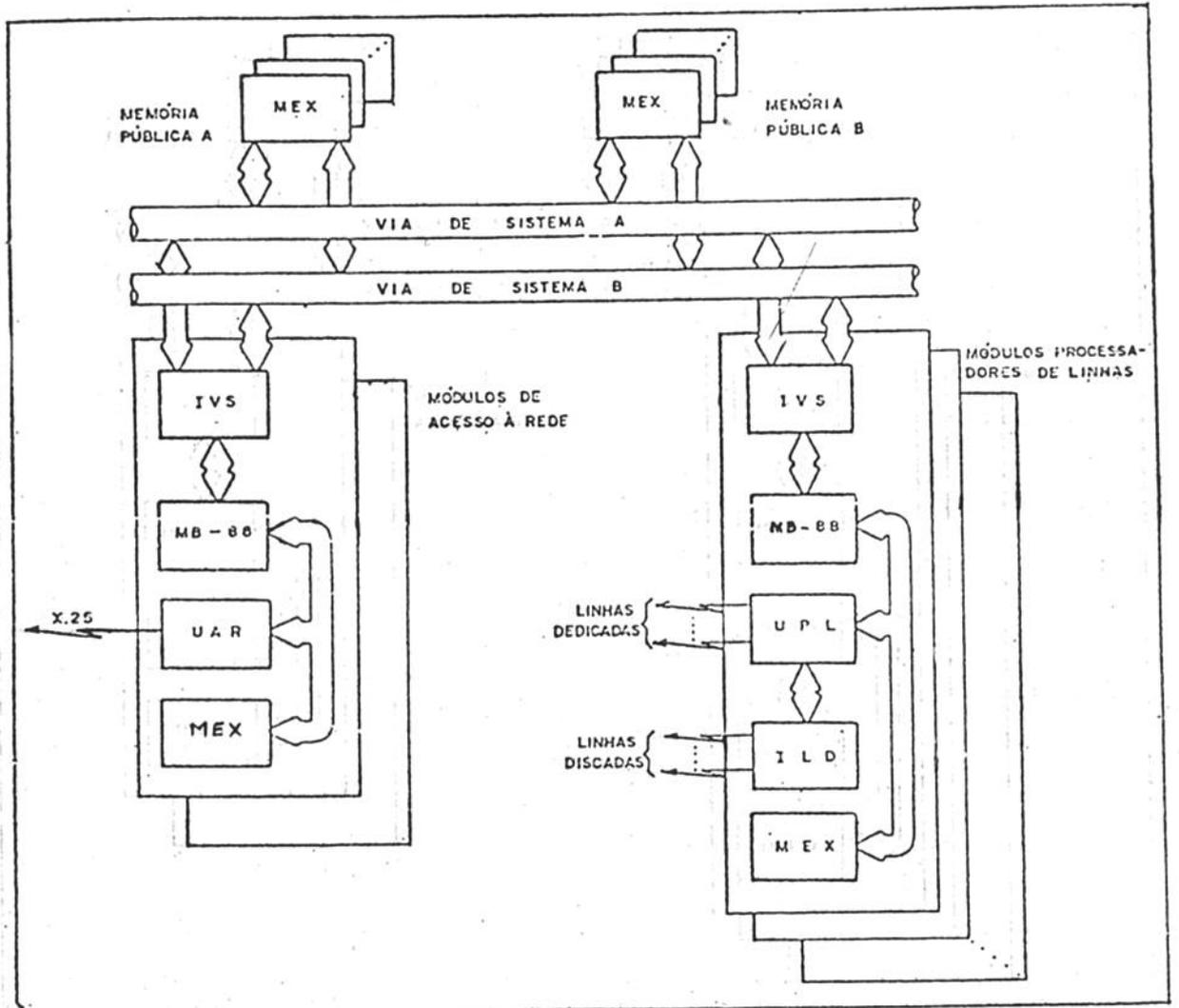


Fig. 5 - Estrutura do PAD em Placas de "Hardware"

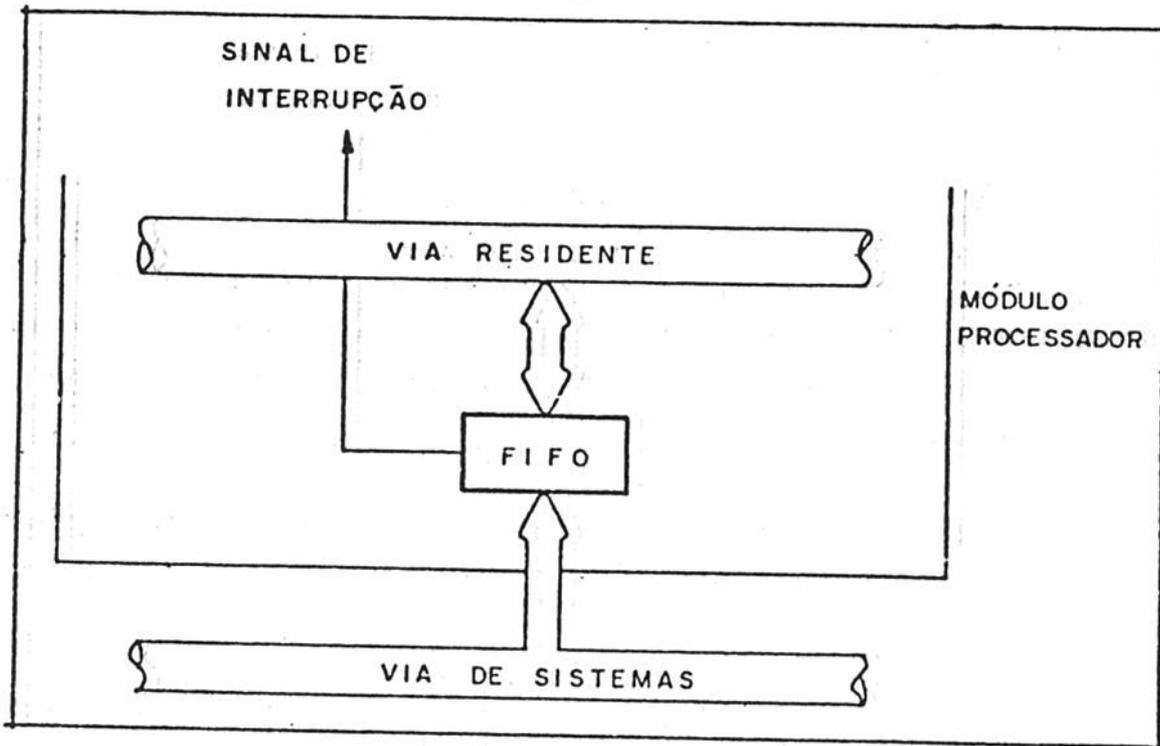


Fig. 6 - Conexão das FIFO's de Comunicação às Vias Residentes e de Sistema

xões às vias de sistema e residente.

Os campos dos bytes de interrupção entre processadores, através das FIFO's, são os mostrados na figura 7.

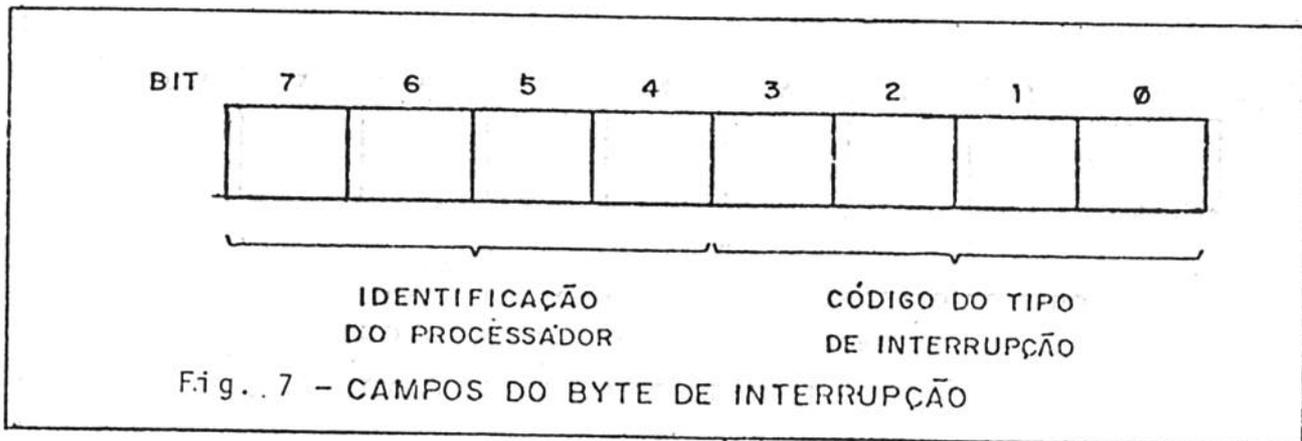


Fig. 7 - CAMPOS DO BYTE DE INTERRUÇÃO

Os 4 bits mais significativos identificam o processador que pediu a interrupção. Os demais bits identificam o tipo de interrupção. O uso dos campos será detalhado no item

a seguir.

IV - INFRA-ESTRUTURA DE COMUNICAÇÃO

De acordo com o mencionado no item anterior, existe um mecanismo de troca de informações entre os módulos processadores, cuja finalidade é prover uma estrutura capaz de dar suporte a estas comunicações.

Este mecanismo consiste no intercambio de mensagens entre o MPAR e os MPL's através das memórias FIFO e através da Memória de Sistema.

A comunicação via Memória de Sistema é feita utilizando-se o esquema de "mailboxes" (portas de comunicação), onde são armazenados endereços de buffers de informação na Memória de Sistema.

Por outro lado, o esquema de interrupções com o uso de FIFO's auxilia a troca de informações via portas de comunicação, no sentido de avisar aos respectivos módulos processadores, de forma rápida, a existência de mensagens a eles destinadas.

A seguir serão apresentados estes dois meios de comunicação.

IV.1 - COMUNICAÇÃO VIA MEMÓRIA DE SISTEMA

Esta memória é organizada em três segmentos principais, mostrados na figura 8, a saber:

- . Portas de comunicação do MPAR para os MPL's.
- . Portas de comunicação dos MPL's para o MPAR.
- . Área de Dados.

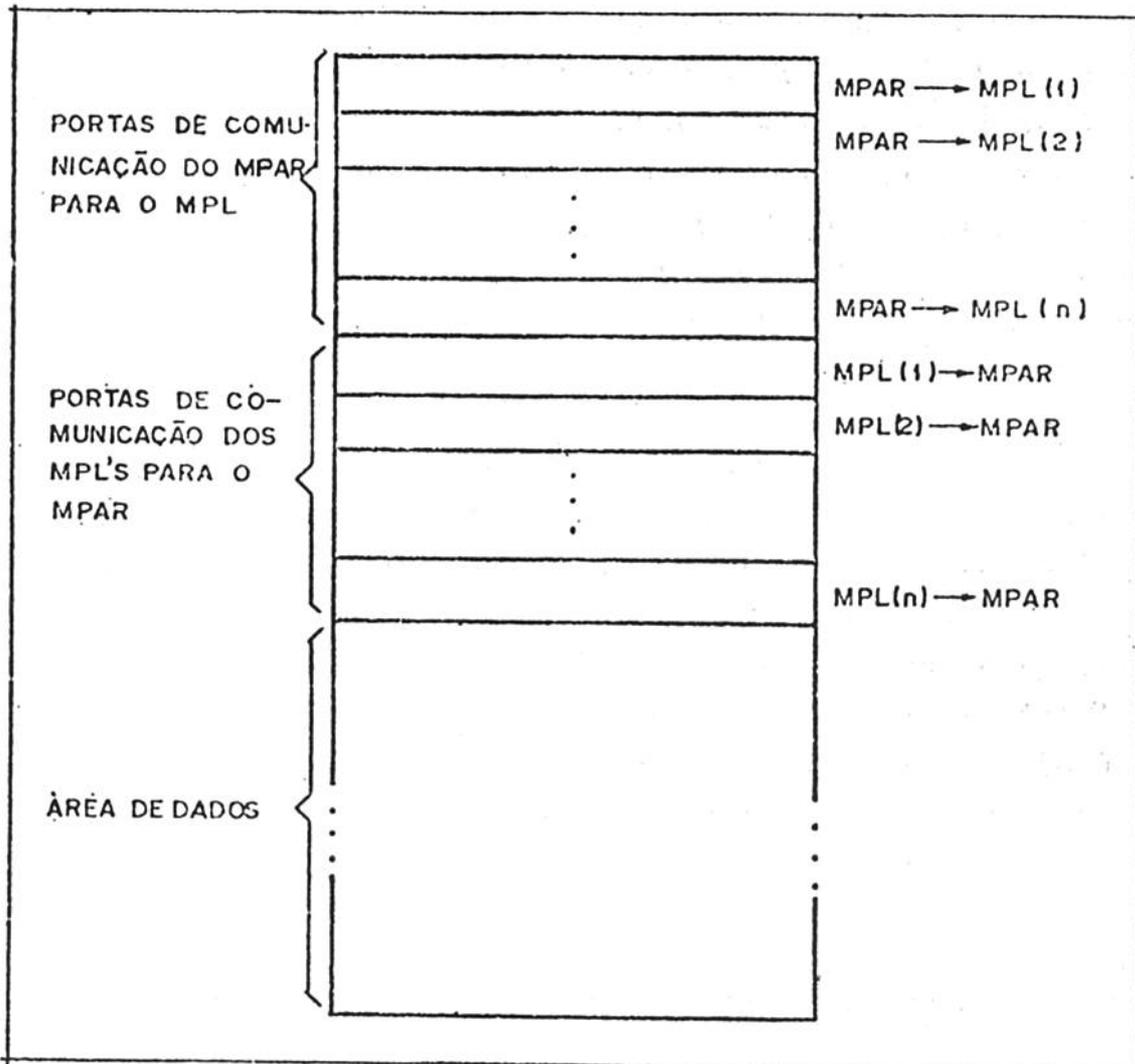


Fig. 8 - Organização da Memória de Sistema

As portas de comunicação são conjuntos de 3 bytes contendo o endereço de uma mensagem localizada na área de dados, como mostra a figura 9.

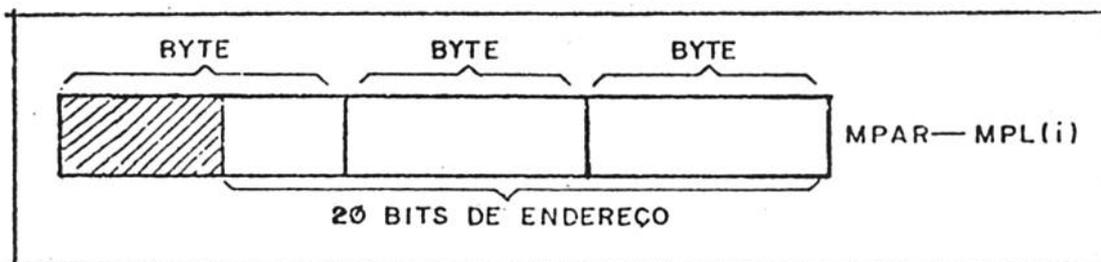


Fig. 9 - Portas de Comunicação MPAR → MPL (i) para Envio de Mensagens de Informação

Além de ponteiros para mensagens, cada uma dessas portas poderá conter, dependendo do caso, um ponteiro para uma área (blocos) livre na Área de Dados, requisitada por um MPL. O MPAR, sendo um elemento centralizador no que diz respeito à gerência da Memória Pública, recebe o pedido de concessão de um bloco livre de um MPL e atende-o a seguir, enviando-lhe, através da porta de comunicação, o endereço de um bloco livre.

A Área de Dados é subdividida em blocos, sendo que cada bloco contém um determinado número de "buffers" de 145 bytes cada. O número de "buffers" por bloco depende da taxa de utilização dos mesmos, pois, dependendo das circunstâncias, causa menos "overhead" alocar de uma vez um conjunto de "buffers" (bloco) maior a um MPL, ao invés de "buffers" isolados, tendo em vista que a cada pedido corresponde o envio de uma mensagem para a FIFO do MPAR, via o esquema de interrupções.

IV.2 - COMUNICAÇÃO VIA INTERRUPÇÕES

A comunicação entre os módulos processadores também é feito utilizando-se o mecanismo de interrupções e das FIFO's anteriormente descritas.

É por este mecanismo que são enviadas algumas mensagens necessárias para completar a comunicação via portas de comunicação; esta comunicação é feita, porém, de forma bastante rápida, aliviando o acesso à Memória de Sistema para a troca de mensagens de controle entre os processadores.

As mensagens de controle recebidas pelas FIFO's são as seguintes:

1 byte

MPAR	0011
------	------

AVISO DE MENSAGEM NA PORTA MPAR → MPL (i)
O MPAR avisa o MPL(i) que há uma mensagem para ele na área de dados cujo endereço está na porta MPAR → MPL(i).

MPL(i)	0000
--------	------

LIBERAÇÃO DE PORTA MPAR → MPL(i)
O MPL(i) informa no MPAR que já usou o conteúdo da porta, e portanto está liberada para uso posterior.

MPL(i)	0001
--------	------

LIBERAÇÃO DE BUFFER
O MPL(i) avisa ao MPAR que determinado "buffer" está livre.

MPAR	0000
------	------

LIBERAÇÃO DE PORTA MPL(i) → MPAR

MPL(i)	0011
--------	------

AVISO DE MENSAGEM NA PORTA MPL(i) → MPAR

MPL(i)	0010
--------	------

PEDIDO DE BLOCO
O MPL(i) pede um bloco livre na Memória de Sistema ao MPAR.

MPAR	0100
------	------

CONCEDE BLOCO
O MPAR cede um bloco livre ao MPL(i) que o pediu.

V. ARQUITETURA LÓGICA DO PAD

A arquitetura lógica do PAD consiste num conjunto de processos que implementam os protocolos X.3, X.28, X.29 e X.25 segundo as recomendações da CCITT.

Estes processos estão alojados nos módulos processadores, de acordo com a distribuição mostrada na figura 10. Esta distribuição física foi feita baseando-se em critérios que dizem respeito não apenas ao tamanho dos códigos comportados em cada módulo, mas sobretudo à minimização de troca de mensagens entre processos em módulos distintos, que normalmente envolvem o acesso à via de sistema, objetivando assim um desempenho global satisfatório, aliviando o uso desta via. Naturalmente, os processos fortemente acoplados foram alocados num só módulo.

Os processos implementados são os seguintes:

- PX3 - é responsável pela gerência de conjuntos de parâmetros associados a terminais, resumidos em tabelas de nominadas perfis, segundo os quais se caracteriza o funcionamento e a interação entre esses terminais e o PAD.
- PX28 - é responsável pelas seguintes funções:
- . Procedimentos de inicialização de uma ligação a nível terminal/PAD, a pedido do terminal.
 - . Procedimentos de intercâmbio de informações de controle entre terminal e PAD, tais como pedido de estabelecimento ou finalização de uma chamada virtual por parte do terminal, ou resposta do PAD quanto a esses pedidos e informes de erros de procedimento.
 - . Procedimentos de troca de dados entre terminal e PAD e controle de fluxo das informações.

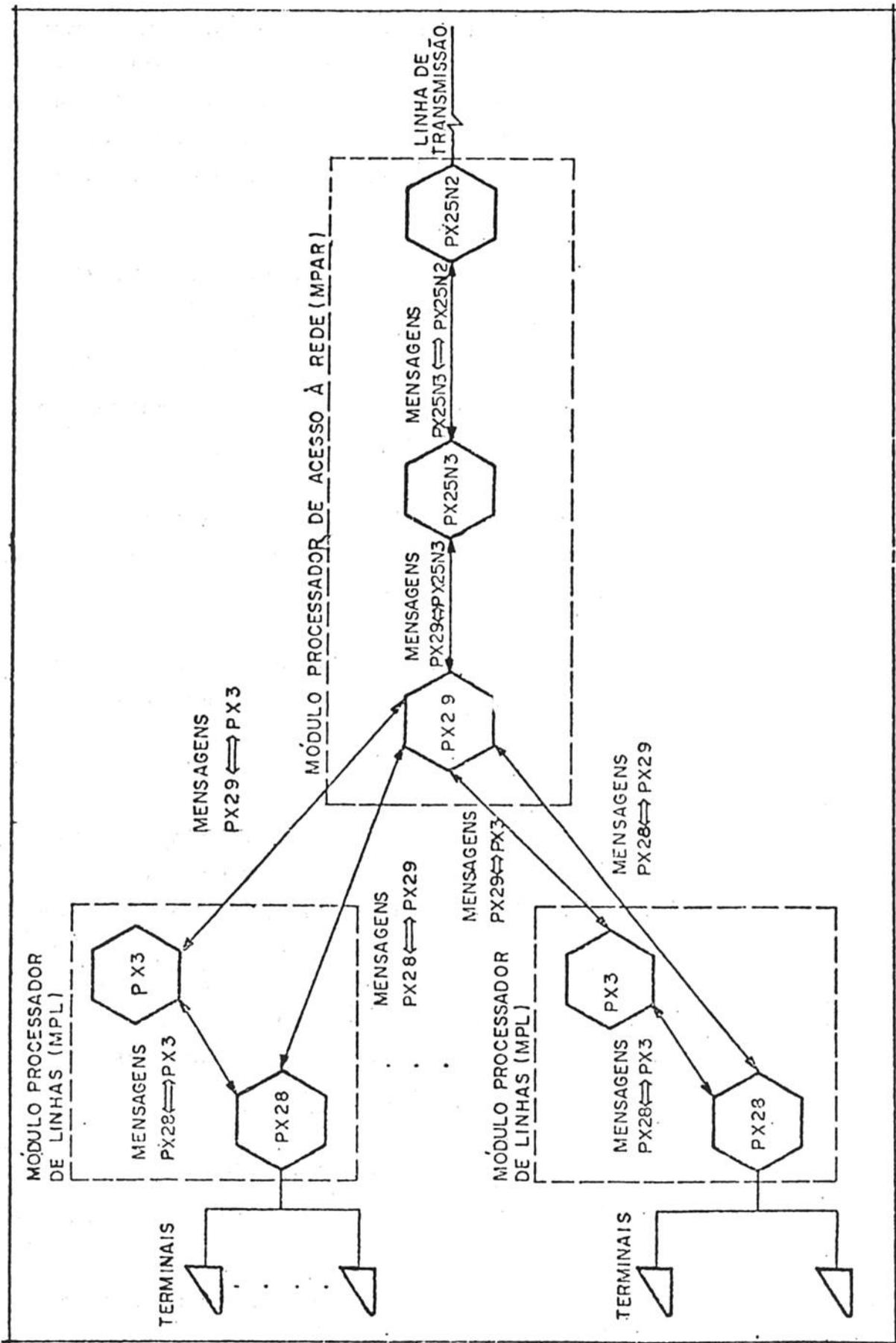


Fig. 10 - Arquitetura Lógica do PAD

PX29 - é responsável pela interação entre o PAD e um computador remoto modo pacote, no sentido de explicitar a maneira de utilizar o protocolo X.25 para tornar viável o diálogo entre PAD e esse computador remoto, num nível superior ao do nível 3 do protocolo X.25.

Suas funções básicas são:

- . Estabelecimento e término de uma chamada virtual a pedido do terminal, via protocolo X.28.
- . Preparo dos pacotes no formato do nível 3 do X.25
- . Intercâmbio de informações de controle entre o próprio PAD e o computador remoto.

PX25N3 - é responsável pelos procedimentos de gerência de estabelecimento, vigência e término de chamadas virtuais (nível 3 do protocolo X.25)

PX25N2 - é responsável pelos procedimentos de gerência das funções correspondentes ao nível de enlace (nível 2 do protocolo X.25)

Estes processos constituem a aplicação propriamente dita, implementada no PAD. Esta aplicação foi desenvolvida sobre uma infra-estrutura de suporte denominado Sistema de Comunicação [RUGG 80a] que, além de ser responsável pela escalação e ativação de tais processos, e gerenciamento de memória, provê ao usuário uma série de primitivas que viabilizam a troca de mensagens entre os processos acima descritos, como mostra a figura 10. Algumas destas primitivas são:

- . Envio de uma mensagem de um processo para outro.
- . Espera de chegada de uma mensagem para um processo.
- . Teste de existência de alguma mensagem para um processo.

- . Acionamento de uma temporização.
- . Suspensão de uma temporização.

O sistema de Comunicação permite e gerencia a troca de mensagens tanto entre processos residentes no mesmo módulo processador, como entre processos localizados em módulos distintos.

VI - CONCLUSÕES

O PAD foi inteiramente desenvolvido no Laboratório de Sistemas Digitais da Escola Politécnica, no prazo de um ano. Sendo um protótipo de laboratório, a tecnologia empregada na sua construção é a de "wire-wrap", num total de 10 placas.

O sistema, atualmente, encontra-se totalmente testado e em operação. A grande vantagem do equipamento é que ele permite que usuários possuidores de terminais assíncronos comuns possam ter acesso a recursos disponíveis numa rede pública de comutação de pacotes, sem a necessidade de ter implantados os protocolos do acesso à rede (X.25) nesses terminais.

REFERÊNCIAS BIBLIOGRÁFICAS

- [BARB 82] Barbosa, A.S., Ruggiero, W.W., Moscato, L.A.; Campos, E.G.L., Stiubiener, S., "Rede Local no Laboratório de Sistemas Digitais da Escola Politécnica da Universidade de São Paulo", II SLARC-Simpósio Latino Americano sobre Redes de Computadores, São Paulo, junho de 1982.

- [CCIT X3] CCITT Provisional Recommendation X.3, "Packet Assembly/Disassembly Facility (PAD) in a Public Data Network", Genebra, 1980.
- [CCIT X25] CCITT Recommendation X.25, "Interface Between Data Terminal Equipment and Data Circuit-Terminating Equipment for Terminals Operating in the Packet Mode on Public Data Networks", 1977.
- [CCIT X28] CCITT Recommendation X.28, "DTE/DCE Interface for a Start-Stop Mode Data Terminal Equipment Accessing the Packet Assembly/Disassembly Facility (PAD) in a Public Data Network Situated in the Same Country", Genebra, 1980.
- [CCIT X29] CCITT Provisional Recommendation X.29, "Procedures for the Exchange of Control Information and User Data Between a Packet Mode DTE and a Packed Assembly/Disassembly Facility (PAD)", Genebra, 1980.
- [MONT 82] Monteiro, J.A.S., "Descrição, Validação e Geração Automática de Implementação de Protocolos"; Dissertação de Mestrado, Escola Politécnica da USP, São Paulo, 1982.
- [RUGG 80] Ruggiero, W.W., Barbosa, A.S., "Implementação de uma Central X.25 de Comutação de Pacotes através da Aplicação de uma Arquitetura Distribuída de Multi-microprocessadores", VII Seminário Integrado de Software e Hardware, 1980.

- [RUGG 80a] Ruggiero, W.W., Melnikoff, S.S.S., Lucena, C.J.,
"Implementação de um Sistema de Comunicação entre Processos através de uma Máquina de Arquitetura Distribuída", VII Seminário Integrado de Software e Hardware, 1980.
- [STIU 81] Stiubiener, S., "Protocolo de Transporte para Redes de Computadores", Tese de Doutorado, Escola Politécnica da USP, 1981.

AUTORES

EDIT G.L.DE CAMPOS

ARMANDO S. BARBOSA

Departamento de Engenharia de Eletricidade
Escola Politécnica da USP
A. Luciano Gualberto - Travessa 3, nº 158
Cidade Universitária "Armando de Salles Oliveira"
Caixa Postal 11.455 - CEP 01000
São Paulo, S.P.
Telefone: 211-2122, R. 392 ou R. 200